

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288500

(43)Date of publication of application : 01.11.1996

(51)Int.Cl.

H01L 29/06  
H01L 21/266  
H01L 21/82  
H01L 27/00  
H01L 21/8222  
H01L 27/06  
H01L 21/8224  
H01L 27/082  
H01L 27/108  
H01L 21/8242  
H01L 29/43  
H01L 29/872  
H01L 21/331  
H01L 29/73  
H01L 29/74  
H01L 29/78  
H01L 29/861

(21)Application number : 07-094770

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.04.1995

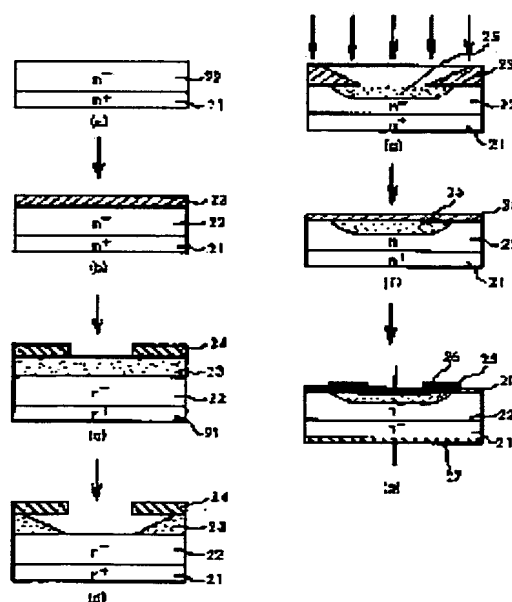
(72)Inventor : KAWASE DAISUKE  
KOZONO YUZO  
YAO TSUTOMU  
INOUE HIRONORI  
ONO TOSHIYUKI  
IWASAKI TAKAYUKI

## (54) SILICON CARBIDE SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE AND USE

(57)Abstract:

PURPOSE: To provide a high-breakdown-strength, planar p-n junction by providing a cross section contour of a p-type or n-type region in a p-n junction wherein a distance from an end point of a parallel part to a point which intersects a surface is larger than a vertical distance from the end point to the surface.

CONSTITUTION: In a planar p-n junction, an n-type SiC epitaxial film 22 is formed on an n-type SiC board 21 and heat treatment is carried out in vacuum atmosphere after deposition of Ni 27 and Al 26 to n-type and p-type as an electrode through each process. In a cross sectional contour of a p-type or n-type region in the p-n junction, a distance from an end point of a parallel part to a point intersecting a surface is larger than a vertical distance from an end point to a surface. According to this cross sectional contour, field concentration at a junction end part is relaxed and a high-breakdown-strength, planar p-n junction of silicon carbide structure can be realized.



---

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8 - 2 8 8 5 0 0

(43) 公開日 平成8年(1996)11月1日

| (51) Int. Cl. <sup>6</sup> | 識別記号    | 庁内整理番号 | F I     | 技術表示箇所    |
|----------------------------|---------|--------|---------|-----------|
| H 0 1 L                    | 29/06   |        | H 0 1 L | 29/06     |
|                            | 21/266  |        |         | 27/00     |
|                            | 21/82   |        |         | 3 0 1 B   |
|                            | 27/00   | 3 0 1  |         | 21/265 M  |
|                            | 21/8222 |        |         | 21/82 A   |
|                            |         |        |         | 27/06     |
|                            |         |        |         | 1 0 1 D   |
|                            |         |        |         | (全 1 9 頁) |
|                            |         |        |         | 最終頁に続く    |

(21) 出願番号 特願平7-94770

(22) 出願日 平成7年(1995)4月20日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 川瀬 大助

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 小園 裕三

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 八尾 勉

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

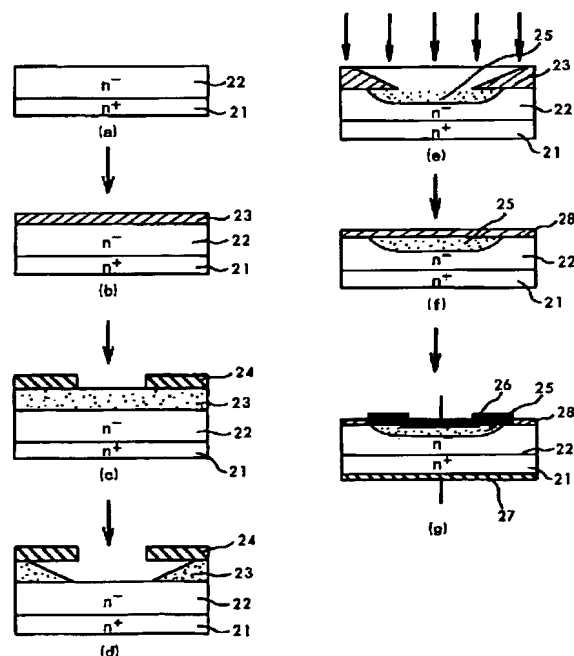
(54) 【発明の名称】 炭化珪素半導体素子とその製造法及び用途

(57) 【要約】

【目的】 高耐圧のプレーナー型 p-n 接合を有する炭化珪素半導体素子とその形成方法を提供する。

【構成】 プレーナー型 p-n 接合を有する炭化珪素半導体素子のプレーナー型 p-n 接合の端部を電界集中を緩和した薄型偏平形状にした。ホトレジスト膜のマスクとイオン注入マスク膜との特定の密着性処理後に  $\text{SiO}_2$  膜の等方エッチングによって形成されたイオン注入マスクを通してイオン注入 p-n 接合を形成した。

図 1



**THIS PAGE BLANK (USPTO)**

## 【特許請求の範囲】

【請求項 1】プレーナー型 p-n 接合を有する炭化珪素半導体素子において、前記 p-n 接合における p 領域又は n 領域の断面形状が平行部の端点から表面までの垂直距離より前記端点から表面に交わる点までの距離が大きい形状を有することを特徴とする炭化珪素半導体素子。

【請求項 2】プレーナー型 p-n 接合を有する炭化珪素半導体素子において、前記 p-n 接合における p 領域又は n 領域の断面形状はその端部が平行部の端点から表面までの垂直距離より小さい曲率を有する曲線で形成されていることを特徴とする炭化珪素半導体素子。

【請求項 3】プレーナー型 p-n 接合を有する炭化珪素半導体素子において、前記 p-n 接合における p 領域又は n 領域の断面形状は平行部の端点から表面に交わる表面とのなす内角が 20°～40°であることを特徴とする炭化珪素半導体素子。

【請求項 4】請求項 1～3 のいずれかにおいて、前記 p-n 接合における平面形状が球形、楕円形若しくは角部に曲線を有した方形であることを特徴とした炭化珪素半導体素子。

【請求項 5】請求項 1～4 のいずれかにおいて、前記 p-n 接合における表面側と接合底部側とで不純物濃度が異なることを特徴とした炭化珪素半導体素子。

【請求項 6】請求項 1～5 のいずれかにおいて、前記プレーナー型 p-n 接合の外周部に請求項 1～3、5 のいずれかに記載した炭化珪素半導体のプレーナー型 p-n 接合のうち輪状の炭化珪素半導体のプレーナー型 p-n 接合を少なくとも 1 つ具備したことを特徴とする炭化珪素半導体素子。

【請求項 7】請求項 1～6 のいずれかにおいて、n 型のドーパントが窒素、p 型のドーパントがアルミニウム及びボロンの 1 つ以上を用いた炭化珪素半導体素子。

【請求項 8】請求項 1～7 に記載した炭化珪素半導体素子を具備したことを特徴とするダイオード。

【請求項 9】n 型の導電性を示す炭化珪素支持体上に前記支持体よりも低い不純物濃度を持つ n 型の導電型の炭化珪素半導体上に、平面構造が球形、楕円形若しくは角部に曲線を有した方形である金属のショットキー電極と前記ショットキー接合の端面に請求項 1～3 のいずれかの断面形状を有する p-n 接合を有し、炭化珪素表面においてショットキー接合界面が前記 p-n 接合界面に挟まれるようにしたことを特徴とする炭化珪素半導体ショットキーダイオード。

【請求項 10】請求項 9 において、ショットキー接合端面に具備したプレーナー型 p-n 接合の周囲に輪状のプレーナー型 p-n 接合を少なくとも 1 つ具備したことを特徴とする炭化珪素半導体ショットキーダイオード。

【請求項 11】n 型の導電性を示す炭化珪素支持体上に前記支持体よりも低い不純物濃度を持つ n 型の導電型の炭化珪素半導体上に、平面構造が球形、楕円形若しくは

角部に曲線を有した方形である金属のオーミック電極と前記オーミック接合の端面に請求項 1～3 のいずれかに示した断面形状を有する p-n 接合を有し、炭化珪素表面においてオーミック接合界面が前記 p-n 接合界面に挟まれるようにしたことを特徴とする静電誘導型炭化珪素半導体静電誘導型ダイオード。

【請求項 12】請求項 11 において、オーミック接合端面に具備したプレーナー型 p-n 接合の周囲に輪状の炭化珪素半導体のプレーナー型 p-n 接合を 1 つ以上具備したことを特徴とする炭化珪素半導体静電誘導型ダイオード。

【請求項 13】請求項 1～7 のいずれかに記載したプレーナー型 p-n 接合を具備したことを特徴とするトランジスタ。

【請求項 14】n 型の導電性を示す炭化珪素半導体支持体上に前記支持体よりも低い不純物濃度を持つ n 型の導電型の炭化珪素半導体に請求項 1～5 のいずれかに記載した p-n 接合を 2 つ以上具備し、前記炭化珪素半導体上かつ前記プレーナー型接合の間にソース電極としてのオーミック電極を具備し、前記プレーナー接合部の表面にゲート電極としてオーミック電極を具備し、前記炭化珪素半導体支持体上にドレイン電極としてのオーミック電極を具備したことを特徴とする炭化珪素半導体電界効果型トランジスタ。

【請求項 15】請求項 14 において、ソース電極と n 型炭化珪素半導体との間に前記 n 型炭化珪素半導体よりキャリア濃度の高い n 型炭化珪素半導体層を具備したことを特徴とする炭化珪素半導体電界効果型トランジスタ。

【請求項 16】請求項 14 において、キャリア濃度の高い n 型炭化珪素半導体キャリア濃度の低い炭化珪素半導体の間に p 型の炭化珪素半導体を具備したことを特徴とする炭化珪素半導体電界効果型トランジスタ。

【請求項 17】請求項 14～16 のいずれかにおいて、ソース電極とゲート電極の間に絶縁体を具備したことを特徴とする炭化珪素半導体電界効果型トランジスタ。

【請求項 18】n 型の導電性を示す炭化珪素半導体支持体上に前記支持体よりも低い不純物濃度を持つ n 型の導電型の炭化珪素半導体に請求項 1～5 のいずれかに記載した炭化珪素半導体プレーナー型 p-n 接合を 1 つ以上具備し、かつ前記プレーナー接合表面に n 型炭化珪素部を具備し前記 n 型炭化珪素半導体と前記プレーナー部と前記 n 型半導体部を覆うゲート絶縁膜を具備し、前記ゲート絶縁膜上にゲート電極を具備し、前記 n 型炭化珪素部上にソース電極を具備し、前記 n 型炭化珪素支持体上にドレイン電極を具備したことを特徴とする炭化珪素 MOS 型電界誘導型トランジスタ。

【請求項 19】請求項 1～7 のいずれかに記載した炭化珪素半導体のプレーナー型 p-n 接合を具備したことを特徴とするサイリスタ。

【請求項 20】請求項 8～10 のいずれかに記載した半

**THIS PAGE BLANK (USPTO)**

導体素子を用いたことを特徴とする電気回路。

【請求項 2 1】請求項 1～7 のいずれかに記載した炭化珪素半導体素子を製造する製造法において、プレーナー型 p-n 接合をイオン注入法により形成することを特徴とした炭化珪素半導体素子の製造法。

【請求項 2 2】プレーナー型 p-n 接合を有する炭化珪素半導体素子の製造法において、イオン注入の際に被注入試料の温度を 400～2000℃ に加熱することを特徴とした炭化珪素半導体素子の製造法。

【請求項 2 3】請求項 1 2 又は 1 3 に記載した炭化珪素半導体素子の製造法において、前記プレーナー型 p-n 接合に際してテーパを有する SiO<sub>2</sub> 膜をイオン注入マスクを用いて形成することを特徴とした炭化珪素半導体素子の製造法。

【請求項 2 4】請求項 1 4 において、前記イオン注入マスクをジシラザンガス中で短時間処理した後等方性エッチングにより形成することを特徴とした炭化珪素半導体素子の製造法。

【請求項 2 5】n 型炭化珪素基板上にプレーナー型 p-n 接合を有する炭化珪素半導体素子の製造法において、前記基板上に n 型炭化珪素エピタキシャル膜を形成する工程、該エピタキシャル膜上にイオン注入マスクとなるセラミックス材よりなるイオン注入マスク材を形成する工程、該マスク材形成後該マスク材と該マスク材上に形成されるレジスト膜との密着性を高める特定の雰囲気中での加熱処理する工程、前記マスク材上に前記イオン注入マスクのマスクとなる前記レジスト膜を形成する工程、前記レジスト膜のマスクを通して前記セラミックス材を等方エッチングし前記イオン注入マスクを形成する工程及び前記イオン注入マスクを通して前記エピタキシャル膜にイオン注入する工程を有することを特徴とする炭化珪素半導体素子の製造法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は新規な炭化珪素プレーナー型 p-n 接合の構造を有する炭化珪素半導体素子および形成方法とその用途に関するものである。

【0002】

【従来の技術】炭化珪素(SiC)には多くの結晶系が存在し、結晶構造により 2.3 乃至 3.0 エレクトロンボルトの禁制帯幅を有する。また、SiC は熱的、化学的及び機械的に極めて安定でワイドギャップ半導体としてはめずらしく p 型、n 型共に安定に存在する材料である。SiC のドーパントは p 型についてはアルミ (Al)、ボロン (B)、n 型に関しては窒素 (N) が知られているが不純物拡散係数が極めて小さく不純物ドーピングに熱拡散プロセスを用いることが困難であり、イオン注入法が用いられている。従って、SiC 単結晶にイオン注入により不純物ドーピングを行い作成された素子は大電力用素子、高温用素子、対放射線素子、光電変換素子そ

の他種々の電子技術分野への応用が期待される。

【0003】炭化珪素を半導体素子に用いた公知例として特開平 2-264475 号公報、特開平 5-259443 号公報及び特開平 6-151860 号公報等で知られている。

【0004】

【発明が解決しようとする課題】SiC はその物性から高耐压パワーデバイスへの適用が期待されているが、パワーデバイスにおいては電界の集中を緩和する耐压構造が必要不可欠である。特に、プレーナー型 p-n 接合は多くのパワーデバイスにおいて必要不可欠である。SiC パワーデバイスのプレーナー型 p-n 接合においては拡散窓を用いた熱拡散プロセスにより形成される接合端部の曲率により電界の集中を緩和している。一方、SiC は Si の約 10 倍の電界のもとで用いられると共に、不純物拡散係数が極めて小さいために Si とは異なる SiC 特有の耐压構造、およびその形成プロセスが必要である。

【0005】本発明の目的は高耐压プレーナー型 p-n 接合を有する高耐压炭化珪素半導体デバイス、および高耐压プレーナー型 p-n 接合形成方法及びその用途を提供することにある。

【0006】

【課題を解決するための手段】本発明は、プレーナー型 p-n 接合を有する炭化珪素半導体素子において、前記 p-n 接合における p 領域又は n 領域の断面形状が平行部の端点から表面までの垂直距離より前記端点から表面に交わる点までの距離が大きい形状を有することを特徴とする炭化珪素半導体素子にある。

【0007】また、本発明は、プレーナー型 p-n 接合を有する炭化珪素半導体素子において、前記 p-n 接合における p 領域又は n 領域の断面形状はその端部が平行部の端点から表面までの垂直距離より小さい曲率を有する曲線で形成されていることを特徴とする炭化珪素半導体素子にある。

【0008】更に、本発明は、プレーナー型 p-n 接合を有する炭化珪素半導体素子において、前記 p-n 接合における p 領域又は n 領域の断面形状は平行部の端点から表面に交わる表面とのなす内角が 20～40 度であることを特徴とする炭化珪素半導体素子にある。

【0009】即ち、本発明は上述の問題に鑑み、高耐压プレーナー型 p-n 接合を形成するために接合端部における p-n 接合界面の断面形状が、表面との平行部の端点と表面との平行部の端点から表面に垂直に降ろした点との距離より表面との平行部の端点と表面に垂直に降ろした点から接合界面が表面と交わる点の距離が大きいことを特徴とした炭化珪素半導体のプレーナー型 p-n 接合のうち、表面との平行部の端点での表面との平行部の端点と接合界面が表面と交わる点を結ぶ曲線と表面との平行部が滑らかに接続していることを特徴とする断面形状であることにより接合端部での電界集中を緩和するこ

**THIS PAGE BLANK (USPTO)**



とを特徴とした炭化珪素半導体プレーナー型 p-n 接合構造である。接合端部における p-n 接合界面の断面形状において表面との平行部の端点と接合界面が表面と交わる点が 1 種以上の曲線で結ばれている。または 1 種以上の曲線および 1 種以上の直線で結ばれていてもよい。このときプレーナー型 p-n 接合の平面形状を球形、楕円形若しくは角部に曲線を有した方形とすることにより電界の集中を緩和できる。プレーナー型 p-n 接合において表面側と接合底部側とで不純物濃度を適当に分配するとさらに高耐圧が得られる。炭化珪素半導体のプレーナー型 p-n 接合の外周部に輪上の炭化珪素半導体のプレーナー型 p-n 接合を少なくとも 1 つ以上具備することにより、より電界集中を緩和できる。また、SiC は不純物拡散係数が極めて小さく熱拡散プロセスが適用不可能であるが、上記の耐圧構造はイオン注入法によってのみ形成可能である。イオン注入の際テーパを具備したマスクを用いてイオン注入することにより上記の耐圧構造が形成可能である。マスクを等方性エッチングにより形成することによりマスクのテーパの形状が制御可能であり、イオン注入により形成されたプレーナー構造はマスクのテーパの形状を反映する。イオン注入マスクのテーパはイオン注入マスク材とイオン注入マスクのエッチングマスクの密着性を制御する、または、イオン注入マスクとイオン注入マスクのエッチングマスクとの間の密着層を制御することにより等方性エッチングによるサイドエッチングの効果を変化させ制御できる。イオン注入の際に被注入試料の温度を 400 乃至 2000℃ に加熱すると接合部の残留欠陥が減少することにより耐圧が向上する。これらの炭化珪素半導体プレーナー型 p-n 接合は n 型のドーパントとして窒素、p 型のドーパントとしてアルミ、ボロンの片方若しくは両方を用いて形成する。また、上記の炭化珪素半導体プレーナー型 p-n 接合は電界の集中を緩和し理想絶縁破壊電圧に近い値に相当する耐圧を有する。よって、本発明による炭化珪素半導体プレーナー型 p-n 接合を具備したダイオード、トランジスタおよびサイリスタ等の炭化珪素半導体素子およびこれらの素子を具備した電気回路は高耐圧、かつ低抵抗であり、高温においても安定した特性を示す。炭化珪素半導体はショットキー接合により高耐圧が得られることが知られているがショットキー電極と炭化珪素半導体の接合のみではショットキー電極端部に電界が集中し理想絶縁破壊電圧の 70% ほどしか得られない。本発明によるプレーナー構造をショットキー電極端部に具備したショットキーダイオードは電界の集中を緩和し高耐圧が得られる。また、ショットキー接合は熱電子放出過程により原理的に高温でのリーク電流が大きくなる。しかし、前記ショットキーダイオードにおいて逆バイアス時に p-n 接合界面からドリフト領域へ拡がる空乏層により電流をピンチオフする構造とすると高温でのリーク電流の増大を防ぐことができる。また、前記ショットキー

ダイオードのショットキー電極をオーミック電極とし空乏層によるピンチオフのみによって逆阻止を行う静電誘導型のダイオードはオン抵抗が低くなる。また、炭化珪素半導体はその物性を活かしたデバイスとして各種トランジスタも有効である。MOS 型トランジスタにおいては n 型ドリフト層とチャネルを形成する p 型層の接合界面を本発明によるプレーナー型構造とすることにより高耐圧が得られると共にプレーナー深さを浅くすることが可能であるのでドリフト長が短くなりオン抵抗の低下の効果もある。しかし、SiC/SiO<sub>2</sub> 界面によるチャネルの移動度は低く全体のオン抵抗が高くなり MOS 型トランジスタは炭化珪素の物性を活かしたデバイス構造であると言い難い。MOS 型トランジスタが界面の物性制御が重要であるのに対して一方、静電誘導型トランジスタはバルクの性質が現れるので炭化珪素の優れた物性を活かすために適したデバイス構造である。パワーデバイスとしての静電誘導型トランジスタとしては n 型の導電性を有するドリフト層とドリフト層中へ拡がる空乏層を制御する p 型層の接合を具備するが本発明によるプレーナー型接合構造を用いることにより p-n 接合に逆バイアスをかけた時の電界集中を避けることが可能であり高耐圧が実現できる。また、プレーナー深さを浅くすることが可能であるのでドリフト長が短くなりオン抵抗の低下の効果もある。

#### 【0010】

【作用】プレーナー型 p-n 接合端部における p-n 及接合界面の断面形状を、表面との平行部の端点と表面との平行部の端点から表面に垂直に降ろした点との距離より表面との平行部の端点と表面に垂直に降ろした点から接合界面が表面と交わる点の距離が大きいことを特徴とした炭化珪素半導体のプレーナー型 p-n 接合のうち、表面との平行部の端点での表面との平行部の端点と接合界面が表面と交わる点を結ぶ曲線と表面との平行部が滑らかに接続していることを特徴とする断面形状とすることにより接合端部での電界集中を緩和され高耐圧炭化珪素半導体プレーナー型 p-n 接合構造が実現できた。接合端部における p-n 接合界面の断面形状において表面との平行部の端点と接合界面が表面と交わる点が 1 種以上の曲線で結ばれている、または 1 種以上の曲線および 1 種以上の直線で結ばれていても良好な絶縁破壊電圧が得られた。このときプレーナー型 p-n 接合の平面形状を球形、楕円形若しくは角部に曲線を有した方形とすることにより電界の集中を緩和できた。プレーナー型 p-n 接合において表面側と接合底部側とで不純物濃度を適当に分配するとさらに高耐圧が得られた。炭化珪素半導体のプレーナー型 p-n 接合の外周部に輪上の炭化珪素半導体のプレーナー型 p-n 接合を少なくとも 1 つ以上具備することにより、より電界集中を緩和できた。また、SiC は不純物拡散係数が極めて小さく熱拡散プロセスが適用不可能であるが、上記の耐圧構造はイオン注入

**THIS PAGE BLANK (USPTO)**

法によってのみ形成可能である。イオン注入の際テーパを具備したマスクを用いてイオン注入することにより上記の耐圧構造が形成可能であった。マスクを等方性エッチングにより形成することによりマスクのテーパの形状が制御可能であり、イオン注入により形成されたプレーナー構造はマスクのテーパの形状を反映した。イオン注入マスクのテーパはイオン注入マスク材とイオン注入マスクのエッチングマスクの密着性を制御する、または、イオン注入マスクとイオン注入マスクのエッチングマスクとの間の密着層を制御することにより等方性エッチングによるサイドエッチングの効果を変化させ制御できた。イオン注入の際に被注入試料の温度を400乃至2000℃に加熱すると接合部の残留欠陥が減少することにより耐圧が向上した。これらの炭化珪素半導体プレーナー型p-n接合はn型のドーパントとして窒素、p型のドーパントとしてアルミ、ボロンの片方若しくは両方を用いて形成できた。また、上記の炭化珪素半導体プレーナー型p-n接合を具備したダイオード、トランジスタおよびサイリスタ等の炭化珪素半導体素子およびこれらの素子を具備した電気回路は高耐圧、かつ低抵抗であり、高温においても安定した特性を示した。本発明によるプレーナー構造をショットキー電極端部に具備したショットキーダイオードは電界集中緩和により高耐圧の、また、逆バイアス時の空乏層による電流のピンチオフにより高温でのリーク電流の低減が可能であった。また、前記ショットキーダイオードのショットキー電極をオーミック電極とし空乏層によるピンチオフのみによって逆阻止を行う静電誘導型のダイオードはオン抵抗が低くなった。また、炭化珪素半導体はその物性を活かしたデバイスとして各種トランジスタも有効であるが、MOS型トランジスタにおいてはn型のドリフト層とチャネルを形成するp型層の接合界面を本発明によるプレーナー型構造とすることにより高耐圧が得られると共にプレーナー深さを浅くすることが可能であるのでチャネル長が短くなりオン抵抗の低下の効果があつた。パワーデバイスとしての静電誘導型トランジスタとしてはn型の導電性を有するドリフト層とドリフト層中へ拡がる空乏層を制御するp型層の接合を具備するが本発明のプレーナー型接合構造による電界集中緩和により高耐圧が実現できた。プレーナー深さを浅くすることが可能であるのでドリフト長が短くなりオン抵抗の低下の効果があつた。

#### 【0011】

##### 【実施例】

(実施例1) 図1は炭化珪素半導体プレーナー型p-n接合の製造工程を示すフロー図である。

【0012】 厚さ300 $\mu\text{m}$ のn型SiC基板21(n型キャリア濃度 $3 \times 10^{18}/\text{cm}^3$ )上にシラン及びプロパンガスによりn型SiCエピタキシャル膜22(n型キャリア濃度 $1 \times 10^{16}/\text{cm}^3$ , 厚さ20 $\mu\text{m}$ )を形成し(a)、その上にスパッタ法により厚さ2 $\mu\text{m}$ のSiO

膜23をイオン注入マスクとして積層させた(b)。その後150℃の恒温層中でジシラザンガスを30secから10minの間流しSiO<sub>2</sub>上にレジスト膜24との密着層を形成した(密着処理)。その後(c)に示すようにスピンコートによりレジストを塗布後フォトリソプロセスにより直径120 $\mu\text{m}$ の円形のプレーナー接合パターンを形成し、次いで(d)に示すようにフッ素水溶液によりSiO<sub>2</sub>を等方性エッチングした。

【0013】 図2にSiO<sub>2</sub>イオン注入マスクの端部の形状の密着処理時間によるSiO<sub>2</sub>膜のエッチングによる形状の変化を示す。フッ酸水溶液によるエッチングは等方的であるが密着処理時間を少なくすることによりレジスト膜24とSiO<sub>2</sub>膜23との密着性が弱くSiO<sub>2</sub>膜23のイオン注入マスク端部のテーパ角を小さくすることができる。

【0014】 図3はSiO<sub>2</sub>膜のエッチング処理後の密着処理時間と基板21に対するSiO<sub>2</sub>膜の図1aの角度との関係を示す線図である。図2に示すように密着処理時間を長くすることによってSiO<sub>2</sub>膜端部での角度は徐々に大きくなり、5分以上の密着処理時間によってSiO<sub>2</sub>膜の等方性のあるエッチングとなる。5秒の処理で約23°、10秒の処理で26.5°、30秒で約33°、1分で約36°となる。

【0015】 次に、有機溶媒によりレジストを除去した後、図1eに示すようにイオン注入を行った。イオン注入条件は、イオン種Al、加速電圧30~750keV、ドーズ量 $5 \times 10^{15}/\text{cm}^2$ 、注入時の試料温度1000℃とした。図4にSiCとSiO<sub>2</sub>へのAl注入の射影飛程と加速電圧の関係を示す。SiC、SiO<sub>2</sub>ともに同等の射影飛程である。

【0016】 図5に膜厚100nmのSiO<sub>2</sub>を通してSiCにAlを加速電圧100keVでドーズ量 $1 \times 10^{14}/\text{cm}^2$ 注入した際のSIMSによる深さ方向の不純物濃度分布を示す。SiO<sub>2</sub>の分だけSiCへの注入が浅くなっている。図6に示すようにイオン注入により形成された注入層のプレーナー型断面構造はイオン注入マスク63の形状を反映する。イオン注入マスク63の前述と同様の基板に対する角度は約28°であり、イオン注入によって形成される注入領域の断面の基板面に対する角度も同様に等方でない横方向に長いものが得られる。従って、イオン注入によって約1 $\mu\text{m}$ の深さに注入した注入領域はその端部における傾斜部分の長さ(a)は深さ方向の長さ(b)に対し約1.9倍と大きく、特に1.3~2.0倍とするのが好ましい。従って、イオン注入マスクの基板面に対する角度を23~40°、より好ましくは27~38°が好ましい。

【0017】 フッ酸水溶液によりSiO<sub>2</sub>イオン注入マスク63を除去した後イオン注入後Ar雰囲気中で1400℃、30min結晶性回復のための熱処理を行った。熱処理の際の拡散による不純物プロファイルの変化

**THIS PAGE BLANK (USPTO)**

は少なかった。1200℃、ウェットで3時間熱酸化を行った後にSiO<sub>2</sub>を0.2μm積層しパッシベーション28を形成した(図1f)。フッ酸水溶液によりSiO<sub>2</sub>を一部除去した後に電極としてn型、p型にそれぞれニッケル(Ni)27、Al26を蒸着後真空雰囲気中、1000℃で10min熱処理を行った(図1g)。

【0018】図7は密着処理時間を変化させたときの各プレーナー接合の絶縁破壊電圧を示す。密着処理時間が短い方が絶縁破壊電圧が高いのは接合端部形状による電界集中緩和の効果であり理想絶縁破壊電圧の約90%であった。注入深さは約1μmである。特に、1分以内で密着処理したものは88%以上の耐圧を示すことが分る。従って、密着処理時間としては10秒~1分のものが好ましく(より好ましくは0.2~0.8分)、イオン注入領域の端部での傾斜は基板面に対する角度は26°から38°が好ましい。その結果、耐圧の上限として95%のものを得ることができる。

【0019】(実施例2)図8は、本発明によるプレーナー型p-n接合を有するショットキーダイオード10が例示されている。ショットキーダイオード10は10~15ミル(0.254~0.381mm)の厚さのn+6H-α炭化珪素からなるn型SiC基板21からなる。基板21は順方向に高い導電率(低い抵抗)を備えるようn+ドープされている。基板21は窒素によって2×10<sup>18</sup>キャリア/cm<sup>3</sup>あるいはそれ以上の濃度にドープされることが好ましい。好ましくは10~30μm、より好ましくは15~20μmの厚さの6H-α炭化珪素の軽くドープされたn型SiCエピタキシャル膜22がモノシランとプロパンガスをを用いて熱CVDによって基板21の上に形成されている。この軽くドープされた層はショットキーダイオードの高い逆ブレイクダウン電圧を与え、かつ10<sup>15</sup>~5×10<sup>16</sup>キャリア/cm<sup>3</sup>あるいはそれより少ない濃度でドープされている。窒素はたとえリンあるいは他のドーパントが使用できても好ましいドーパントである。n型SiCエピタキシャル膜22は化学蒸着あるいは他の既知のエピタキシャル技術により形成できる。5×10<sup>16</sup>より少ないキャリア濃度を達成するために、窒素ドーパントが付加される必要は無い。窒素は化学蒸着の間にある程度6H-α炭化珪素に自然に組み入れられるからである。

【0020】ショットキーダイオード10はまた基板21の裏側にオーム生成接触を有するNiオーミック電極27を含んでいる。たとえタンタルの珪化物、ニッケル、金、金/タンタルあるいは他の合金のような他の通常の接触材料が使用でき、オーム性接触が4000~5000Åのニッケルであることが好ましい。Niオーミック電極27は後に高温(例えば1000℃)アニールが続くスパッタリング、蒸着あるいは他の通常の技術により堆積できる。当業者にとって、高温アニールによりNiオーミック電極27が好ましくはAuショットキー

電極81の前に形成される。

【0021】金又は白金を含むAuショットキー電極81がn型SiCエピタキシャル膜22の上に形成されている。図8に示されていないが白金の少なくとも一部分が例えば600℃で15分アニーリングすることにより白金珪化物に変換される。白金珪化物層は800℃以上の温度の安定な高性能ショットキー接触を形成する。白金含有層は2000Å以下の厚さであることが好ましく、かつ例えば蒸着を用いて堆積され、かつ例えばマスク蒸着パターン化される。金又は白金珪化物変換プロセスはn型SiCエピタキシャル膜22の一部を消費する。炭化珪素消費を低減あるいは除去するために、金又は白金珪化物が一元構造を形成するよう直接堆積されかつアニールされよう。金又は白金と珪素の交互層がまた堆積され、かつ交互層を珪化物に変換するためにアニールされる。

【0022】図8に記載されたように製造されたショットキーダイオードはβ炭化珪素ダイオード上の白金に比べて改善されたダイオード特性を与える。本発明により形成されたダイオードは3.2×10<sup>3</sup>Ω/cm<sup>2</sup>より少ない高い順方向抵抗を有している。それらは10V以下の逆電圧に対し典型的に測定可能なレベル以下である逆電流とブレイクダウン電圧以下の逆電圧に対して1×10<sup>-6</sup>A以下である逆電流を示している。1×10<sup>16</sup>キャリア/cm<sup>3</sup>のn型SiCエピタキシャル膜22のキャリアドーパントレベルに対して約950Vのブレイクダウン電圧がまた示されている。

【0023】また、図8に示すように、Auショットキー電極81の周辺に断面は実施例1と同じであるガードリングが2重の構造を有している。p型6H炭化珪素のリングであるガードリングによって構成されるイオン注入域25は、約1μmの厚さに形成され、コロナ効果によりショットキーダイオードに永久的損傷を生じるショットキーダイオードの周辺の周りのマイクロプラズマの形成を妨げる。p型ガードリングはショットキー接合が雪崩効果を生じる前にブレイクダウンしかつショットキー接触のブレイクダウンを妨げるpn接合を形成する。ガードリングはガードリングとn型SiCエピタキシャル膜22との間に形成されたpn接合がショットキーダイオードのブレイクダウン電圧に逆バイアスされるようなレベルにドープされている。ガードリングは10<sup>17</sup>~10<sup>18</sup>キャリア/cm<sup>3</sup>のドーピング濃度でアルミニウムあるいはホウ素によりドープされ、好ましくは0.2~1μmの深さに注入される。Auショットキー電極81の形成の前に高温イオン注入により形成されるようにリングパターンは二酸化珪素、窒化珪素および/または多結晶珪素のマスク層で形成され、かつイオンはマスクのリングを通して注入される。注入の後で、マスクの除去の後でガードリングが表面に見えかつAuショットキー電極81がそこに整列されるように注入マスクの除去に

**THIS PAGE BLANK (USPTO)**

先立って浅いエッチが行われる。

【0024】本実施例におけるガードリングは内側とその外側で同時に実施例1と同様に形成される。ガードリングのp+領域はその表面に形成したSiO<sub>2</sub>イオン注入マスク膜を通してイオン注入することによって得られる。SiO<sub>2</sub>イオン注入マスク膜は実施例1と同様にジシランガス中150℃にて30秒間加熱する密着処理を施した後、ホトレジスト膜を介して等方性エッチングを施すことによって形成される。その結果、本実施例におけるガードリング端部の基板面に対する角度が約33°（深さに対する長さが約3.5倍）となり、理想耐圧の約0.92の高い耐圧が得られる。

【0025】イオン注入領域が2つ以上あるとショットキー電極端での電界集中の緩和の効果が大きい。p型のドーパントにはAl、またはBが用いられる。注入深さは1~0.2 μmの範囲である。キャリア濃度は最低でも逆バイアス時に注入域で空乏層がパンチスルーしない程度必要であり、設計耐圧つまり注入深さ及びエピタキシャル層厚さ、濃度による。また、注入域の幅はエピタキシャル層のキャリア濃度にもよるが典型的にはおよそ6 μmである。また、注入域の間隔は約6 μmである。エピタキシャル層側表面に熱酸化とこれに続くスパッタ法により厚さ1.2 μmのSiO<sub>2</sub>膜23を形成する。次に、支持体側にNiオーミック電極27を形成する。真空蒸着によりNiを200 nm成膜し真空中1000℃で5分熱処理を行いオーミック接触をとる。エピタキシャル層上にショットキー電極を端部にp-n接合を具備するように形成する。ショットキー電極にはAu、Pt等が用いられマスク蒸着により形成される。ショットキー電極は直径10~200 μmである。

【0026】以上のようにして作製された本発明によるプレーナ型p-nを具備したショットキーダイオードはp-n接合によるショットキー電極端部のガードリングの効果により理想絶縁破壊電圧に近い耐圧と優れた高温特性を有する。

【0027】（実施例3）図9は本発明によるプレーナ型p-n接合を具備した静電誘導型トランジスタの断面図である。キャリア濃度が $2 \times 10^{18}/\text{cm}^3$ 以上である単結晶n型6H-SiC支持体21上に形成した厚さ10~30 μm、キャリア濃度が $1 \times 10^{15} \sim 5 \times 10^{16}/\text{cm}^3$ のn型SiCエピタキシャル膜22に実施例1に示した断面形状を有したp型イオン注入域を形成する。p型のドーパントにはAl、またはBが用いられる。注入深さは1~0.2 μmの範囲である。キャリア濃度は最低でも逆バイアス時に注入域で空乏層がパンチスルーしない程度必要であり、設計耐圧つまり注入深さ及びエピタキシャル層厚さ、濃度による、注入域の間隔は10 μm以下である。注入域の間隔は狭いほど耐圧が高くなるので最小値はデザインルールによる。しかし、注入域間隔が狭くなると電流経路が狭くなりオン抵抗が高くな

る。この問題を解決するためにソース電極を多数形成する。注入域上にゲート電極26、エピ膜上にソース電極27、支持体上にドレン電極27を形成する。ゲート電極にはAl、Ti積層膜、ソース、ドレン電極にはNiを真空蒸着した後に1000℃で5分熱処理を行いオーミック接触を得たものを用いた。ソース電極下にイオン注入によりn型キャリア濃度 $1 \times 10^{18}/\text{cm}^3$ 以上である注入層となる高濃度n型炭化珪素半導体91を設けることによりコンタクト抵抗は低減される。また、ソース、ドレン電極は熱酸化膜からなるSiO<sub>2</sub>膜23により絶縁される。

【0028】本実施例におけるp型層の端部は前述のように30秒とわずかな時間による密着処理を行って形成したSiO<sub>2</sub>イオン注入マスク膜を等方性エッチングして形成したマスクを通してイオンを注入したもので、楕円形状を有する。楕円形状の短径に対する長径の長さは1.8~3.5倍の形状とするのが好ましい（本実施例における密着処理では約2.5倍）。更に、p型層の端部はSiO<sub>2</sub>膜23に接するように設けられる。高濃度n型炭化珪素半導体91はソース電極Sの領域内に設けられ、ゲート電極GとなるAlオーミック電極26はp型層となるイオン注入域25とSiO<sub>2</sub>膜23とに接して設けられる。本実施例においても高耐圧の半導体装置が得られる。ソース領域の高濃度n型炭化珪素半導体91は深さが0.01~0.1 μm、長さ10~50 μmとするのが好ましい。

【0029】（実施例4）図10に本実施例に係るプレーナ型p-n接合を具備した電界効果型絶縁ゲート型半導体装置の構造を示してある。本装置はキャリア濃度 $2 \times 10^{18}/\text{cm}^3$ 以上である単結晶n型6H-SiCを主たる半導体材料として構成されており、まず、ドレン電極が裏面に接続されるn型SiC基板21の表面にエピタキシャル成長させた厚さ10~20 μm、キャリア濃度 $10^{15} \sim 5 \times 10^{16}/\text{cm}^3$ のn型SiCエピタキシャル膜22が形成され、その上に断面形状が実施例1と同じp型イオン注入域が設けられている。ゲート電極Gには多結晶Siまたは多結晶SiCを用いる。さらに、ゲート電極端部を等方性エッチングすることにより実施例1と同様のSiO<sub>2</sub>イオン注入マスクを用い高濃度n型炭化珪素半導体91をp型注入層中に形成する。高濃度n型層はキャリア濃度が $2 \times 10^{18}/\text{cm}^3$ 以上であることが望ましい。ソース、ドレン電極にはNiを真空蒸着した後に1000℃で5分熱処理を行いオーミック接触を得たものを用いた。高濃度n型炭化珪素半導体91は楕円形の長径が短径に対して1.5倍であり、高耐圧を有するものである。

【0030】本実施例においてもp型イオン注入域25及び高濃度n型炭化珪素半導体91を実施例2と同様の密着処理を施したSiO<sub>2</sub>膜を用いて等方エッチングしたイオン注入マスクを通して形成することにより従来の

**THIS PAGE BLANK (USPTO)**



シリコン基板の10分の1以下のより微細な素子を得られるとともに優れた耐圧が得られるものである。

【0031】(実施例5)図11は炭化珪素半導体素子を用いたバイポーラパワートランジスタのチップ構造を示すものである。図のプレーナ型はガードリングと酸化膜により耐圧の確保と接合の保護がなされており、主に樹脂封止形やモジュール形に採用される。また、本実施例は増幅段のトランジスタと主トランジスタが1つのチップ内に構造されたいわゆるダーリントン構造であり、小さなベース電流で大電流を制御できる利点がある。また、スイッチング時間の短縮を目的として、エミッタやベースをメッシュ構造とし、よりいっそうの微細化を図ることができる。本実施例においても、実施例1と同様にp層及びA1電極部のn+領域を形成することにより優れた特性が得られるものである。

【0032】(実施例6)図12は炭化珪素半導体素子を用い、前述と同様イオン注入n+層を形成したパワーMOSFETのチップ構造である。図に示すようなU溝またはV溝をもつもの(U-MOS, V-MOS)やプレーナ2重イオン注入構造をもつもの(D-MOS)がある。ゲートに正の電圧を印加するとゲートに対向したp層部分にチャンネルが形成され、このチャンネルを通してドレインからソースに電流が流れる。ゲート電圧を零または負とするとチャンネルは消え、n層内に空乏層が形成されてオフ状態に戻る。

【0033】このようにMOSFETは多数キャリア制御デバイスであるので、バイポーラトランジスタのような少数キャリアの蓄積が起らない。従って、数十~200kHzの高周波動作が可能である。更にMOSFETは、オン抵抗の温度係数が正のため電流集中が起りにくく安全動作領域が広い、電圧制御素子であるので駆動電力が小さい特長を有する。

【0034】(実施例7)図13は炭化珪素半導体素子を用い、前述と同様にイオン注入n+層を形成した絶縁ゲートバイポーラモードトランジスタ(IGBT: Insulated Gate Bipolar mode Transistor)のチップ構造である。図に示すようにパワーMOSFETのドレイン側にp層を追加した構造を有する。IGBTはMOSゲートのため駆動電力が小さく、高速スイッチングが可能、高耐圧高電流密度が可能などの特長を有している。一方、大電流領域ではpnpnのサイリスタ構造部分がラッチし制御能力を失う場合があるので、過電流保護など回路が設けられるのが好ましい。

【0035】(実施例8)図14は炭化珪素半導体素子を用い、前述と同様の製法によって得たパワーモジュールの全体構造である。

【0036】パワーモジュールは複数個の電力用半導体チップを特定の回路に構成し1つのパッケージに組み込んだものである。現在、ダイオード、サイリスタ、GTO、トランジスタなどのチップを用いた各種の電圧・電

流・回路構成のものがある。図に示すように、バイポーラパワートランジスタモジュールにおける半導体チップはセラミックスなどで絶縁されて銅基板にろう付けされる。熱はこのセラミックスと銅基板を通して放熱される。外部回路への結線は上部のねじ端子で行われる。このようにパワーモジュールは集積形の電力用半導体であり、かつ取扱いがきわめて容易であるという特長を有する。

【0037】(実施例9)図15は炭化珪素半導体素子を用い、前述と同様の製法によって得たバイポーラ集積回路の基本素子断面構造である。

【0038】バイポーラ集積回路は、バイポーラトランジスタを中心に抵抗、ダイオード、容量などを1チップ上に集積して構成される。(i)高速・高周波動作が可能、(ii)高性能アナログ回路設計が容易、(iii)電流駆動能力が大で、配線や負荷寄生容量の速度への影響が少ない、などの利点がある。これらを活かし、VTR、TVをはじめとする各種用途の増幅器・発振器・変復調器などを集積したアナログ(リニア)LSIと、大形計算機などに使われる超高速メモリ、超高速論理回路などを集積した高速デジタルLSIに適用される。また、1チップ上にアナログ回路とデジタル回路を共存させたアナログ/デジタル共存LSIがVTRなどに適用される。これにはデジタル回路をI<sup>2</sup>L素子で作る方式が用いられる。

【0039】図に示すように各種の基本素子を1チップに集積したものである。各素子はn型エピタキシャル層内に形成され、p型素子間分離領域で互いに分離されており、p-n接合分離構造と呼ばれている。n+埋込層は、n型エピタキシャル層の引出し電極の抵抗を低減している。以下、各素子を説明する。

【0040】(i)ショットキーグランドトランジスタ:コレクターベース間にショットキーダイオードを挿入し、コレクターベース間の飽和を防いで高速化を図ったもの[図16(a)]、(ii)I<sup>2</sup>L:横形pnptトランジスタと縦形npnトランジスタを含み、両者のp層(B端子)とn層(E端子)をそれぞれ共通化して一体形成した素子[図16(b)および図19に示すインバータ回路を形成する高密度論理素子]、(iii)電力用パワートランジスタ:大電流が平均して流れるよう、平面パターンに工夫がなされている[図16(c)]、などがある。

【0041】(a)n+埋込層:図15でp-基板上にn型エピタキシャル層を堆積する前に、所望の箇所に高濃度のn+層を拡散形成する。コレクタやベースの直列抵抗が低減される。

【0042】(b)エピタキシャル層:シランガス(SiH<sub>4</sub>, SiC<sub>4</sub>など)、プロパンガス(C<sub>3</sub>H<sub>8</sub>)などをキャリアガス(H<sub>2</sub>)とともに900℃~1100℃の炉に送り、p-基板上に単結晶SiCを析出、成長さ

**THIS PAGE BLANK (USPTO)**

せて作る。

【0043】(c) 素子間分離：大別して二とおりある。(i) 第一はp-n接合分離といってp-n接合を常時逆バイアスし、これによる絶縁状態を利用して素子を周囲と分離する構造(図15, 図16)。(ii) 第二は誘電体分離といって、SiO<sub>2</sub>で素子間を分離するLOCOS分離(図17), U形やV形の深溝を掘ってこれをポリSiなどで充填するトレンチアイソレーションなどがある。いずれも寄生容量が小さく高速化に適している。

【0044】(d) 自己整合素子の構造：寄生部分を極力除去して高性能化をねらったもので、図17(a)に示すSST構造では外部ベースがエミッタ周囲に自己整合的に形成されている。更にこの考えを追求した図17(b)のSICOSなどの素子が提案されている。

【0045】バイポーラトランジスタの高利得増幅作用を利用し、抵抗、ダイオード、ショットキーダイオード、容量などを組み合わせて構成する。増幅回路・発振回路・変復調回路・制御回路などを集積し、音響帯/映像帯/高周波帯などの各用途に使われている。応用はVTR, TV, オーディオ, 冷蔵庫, エアコン, カメラ, \*

\* 端末用ディスプレイ, フロッピディスク, 自動車など、広く民生/産業用電子機器に及んでいる。図18に集積化されたVTR信号系回路システムの構成例(3チップ構成)を示す。

【0046】スイッチング動作を利用する集積回路は図19のようにTTL (Transistor Transistor Logic), STTL (Schottky TTL), ECL (Emitter Coupled Logic), NTL (Non-Threshold Logic), I<sup>2</sup>L (Integrated Injection Logic)がある。中速, 汎用にはTTL, STTLが用いられ、高速用途にはECLが用いられる。また、高速で低消費電力の回路としてNTLがある。これらの高速デジタル回路を用いて、1000~10000ゲート規模のゲートアレイLSIは大形計算機に使用する。

【0047】また、I<sup>2</sup>L 回路は若干低速ながら、低消費電力でMOSに近い高集積密度が実現できるため、バイポーラ形超LSIに用いる。表1にこれらの回路の基本的な性能を示す。

【0048】

【表1】

| 回路形式             | 集積密度<br>(ゲート/μm <sup>2</sup> ) | 伝搬遅延時間<br>(ns/ゲート) | 電力遅延時間<br>(PJ/ゲート) | 電源電圧<br>(V) | マスク数<br>(枚) |
|------------------|--------------------------------|--------------------|--------------------|-------------|-------------|
| TTL              | ~20                            | ~10                | 10~100             | 4~8         | 7           |
| STTL             | 50~200                         | 1~3                | 0.5~50             | 4~8         | 7           |
| ECL              | 30~100                         | 0.1~1              | 0.3~30             | -3~-5       | 7           |
| NTL              | 30~100                         | 0.1~0.6            | 0.1~1              | -3~-5       | 7           |
| I <sup>2</sup> L | 120~500                        | 1~10               | 0.1~0.5            | 0.5~1.5     | 4           |

表1

【0049】図18はアナログ回路とデジタル回路を1チップ上に集積させたVTRの色信号処理LSIの回路システム図に示すように、アナログ/デジタル回路間に多くの信号伝達があり、両者を混在して集積化させたものである。バイポーラ集積回路でこれを実現するものとして、デジタル回路をI<sup>2</sup>Lで構成する方式である。低コストで製造でき、高性能アナログ回路が集積できる特徴があり、VTRのほか、TV, オーディオ, カメラ, ディスク駆動装置など広い分野で使うことができる。

【0050】(実施例10) 本実施例は炭化珪素半導体素子を用い、前述と同様の製法によって得たMOS集積回路について説明する。

【0051】MOS集積回路はバイポーラ集積回路と比較して低速ではあるが高集積であり、VLSIの基本素子構造である。その特徴は以下の通りである。

【0052】(i) MOSTランジスタは高入力抵抗の素子である。このため、論理回路の出力負荷数(ファン

アウト)が大きくとれる。また、電荷が蓄積できる効果を利用したダイナミック形の回路が構成できる。

【0053】(ii) MOSTランジスタは双方向性のスイッチ動作を行うことができる。

【0054】(iii) MOSTランジスタのしきい値電圧はイオン打込みにより、正から負の値まで自由に制御できる。このため、回路構成の自由度が大きい。しかし、反面、バイポーラトランジスタのベース-エミッタ電圧(V<sub>BE</sub>)と比較すると制御性が若干良くない。

【0055】(iv) MOSTランジスタは自己分離構造となっているために、特別なアイソレーションがいらず、高集積である。このために、歩留りもバイポーラICと比較すると高い。

【0056】(v) 相互コンダクタンス, 電流駆動能力はバイポーラトランジスタと比較すると劣る。

【0057】MOS集積回路として単結晶基板を用いたバルクMOSがある。また、使用するトランジスタとしてPMOS, NMOS, CMOS, Bi-CMOS(Bipolar CMOS)

THIS PAGE BLANK (USPTO)

olarCMOS)がある。また、回路の形式からはE/E (Enhancement/Enhancement)形、E/D (Enhancement/Depletion)形、CMOS (Complementary MOS)、Bi-CMOSがある。

【0058】以上のうちで、4つのMOS-ICの構造を図20に、また、その回路図を3入力 NORについて図21に示す。これらの特徴を示すと以下のようになる。

(a) PMOS、E/E形は1種類のMOSトランジスタで構成される。電卓用LSIに用いることができる。しかし、負荷MOSトランジスタにより電圧損失が生じ、駆動のため10V以上の電源が必要なことと、pMOSトランジスタはチャンネル部を流れるホールの移動度が低く若止低速である。

【0059】(b) NMOS、E/D形としてnMOSトランジスタはpMOSトランジスタに比較してチャンネル部を流れる電子の移動度が大きく、高速動作できる。回路構成としては、E/E形の回路も使用され、特にダイナミック形のメモリではクロックを負荷のゲートに加えた回路によるE/E形がある。一方で、マイクロプロセッサ、スタティック形メモリ、ROM (Read Only Memory)、EPROM (Erasable Programmable ROM)がE/D形の回路である。この回路では負荷MOSトランジスタには、窒素をチャンネルに打ち込んで負のしきい値電圧をもたせたノーマリオン形のものである。このため負荷のゲートはソースに接続でき、電圧損失のない回路が構成できる。また、しきい値電圧を-2~-3Vに設定することにより駆動MOSと負荷MOSのチャンネルコンダクタンス比、すなわちトランジスタの平面寸法比が小さい回路が構成できる。このため5V単一電源で使用されるデジタルLSIに有効である。

【0060】(c) CMOSはpMOSトランジスタとnMOSトランジスタを相補的に接続して回路を構成したものである。このため、デジタル回路では、入力が高レベル、低レベルいずれの状態でも、どちらかのトランジスタがオフ状態となり、きわめて低消費電力の回路が構成される。CMOSは回路あたりのトランジスタ数が増大するが、論理LSI、メモリともに、アレイ状の構造で回路を構成することが多くなり、nMOSのアレイ部とCMOSのランダム論理、周辺回路を組み合わせることによって全体として高集積で低消費電力化する。また、CMOSは、デジタル応用及びアナログ応用に使用する。

【0061】(d) Bi-CMOSは電流駆動能力が高く、高利得の増幅器を構成できる。このバイポーラトランジスタとCMOSを組み合わせたBi-CMOSは素子構造、回路構成ともにCMOSより更に複雑化するが、高い性能が得られる。

【0062】炭化珪素半導体素子を用いたBi-CMOSデバイスとしてバイポーラトランジスタとMOSFETを同

一チップ上に形成した構造を図22に示す。図(a)の構造は作りやすいがバイポーラトランジスタのコレクタが基板と共通であるため、利用できる回路に制限がある。図(b)の構造はバイポーラトランジスタのコレクタが基板から分離されているので、使用回路の制限はないが、コレクタ抵抗が大きいなど、バイポーラトランジスタの性能がバイポーラのみを集積した場合に比べやや劣る。図(c)の構造は、バイポーラトランジスタ、MOSFETともに、それぞれのLSIで用いられ、製造方法はやや複雑である。しかし、デバイス特性は、バイポーラLSI、CMOSLSIそれぞれのデバイス特性に劣らぬ特性が得られる。

【0063】炭化珪素半導体素子を用いたBi-CMOS基本回路としてバイポーラトランジスタ、PMOS、NMOSFETを同一チップ上で自由に組み合わせができ、低消費電力で、高い駆動能力をもつBi-CMOS複合回路が実現できる。その代表的な回路をCMOS回路と比較して図23に示す。これら回路を最小加工寸法1μmのプロセス技術によって製作した場合の遅延時間と負荷容量との関係を調べると、このBi-CMOS複合回路の負荷駆動能力は同一面積のCMOS回路と比べ約5倍大きく、また、負荷容量が1pFの場合では、約2倍の高速性能が得られる。このような高速性能をメモリLSIに適用して高速化を図ることができる。

【0064】(実施例11)本実施例はメモリに前述と同様の製法によって得た例を示すものである。

【0065】集積回路は集積規模を大きくすることによりシステムの機能向上および小形化が図れる。そのため、あらゆる種類のICが大規模集積化の方向のなかで、最も大規模集積化されるのがメモリとマイクロプロセッサである。メモリ(MOSダイナミックRAM、略してDRAM)64MビットのRAMの超LSIを構成する部品数は約2億個である。マイクロプロセッサもほぼ同様な割合で大規模化され32ビットマイクロコンピュータの構成トランジスタ数は約40万個である。メモリLSIとしては高速指向のバイポーラメモリと大容量指向のMOSメモリがある。

【0066】ランダムアクセス形のMOSメモリ(Random Access Memory、略してRAM)には、ダイナミック形(DRAM)とスタティック形(SRAM)とがある。各RAMの代表的なメモリセル回路図を図24に示す。図(a)はDRAMメモリセルであり、メモリセル内のキャパシタに情報電荷を蓄える形式のセルである。キャパシタのリーク電流を補うために周期的に再書込み(リフレッシュ)を行う必要があるため、ダイナミック形メモリと称される。DRAMは、メモリセルを構成する素子は1個のMOSFETと1個のキャパシタの2個のみなので高集積化に適しており、低価格・低消費電力である。一方、SRAMは、同図(b)に示すように交差結合したフリップフロップ形のメモリセルにより構成され

THIS PAGE BLANK (USPTO)

ており、リフレッシュ動作が不要で使いやすく、また高速である反面、構成素子数が多いためDRAMに比べ集積度は低く、同一レベルの製造技術を用いた場合集積度は約1/4程度である。

【0067】これらのメモリの大規模化は微細加工技術によるものである。例えば、DRAMの1ギガビットといった大容量化には、ナノサイズの微細加工技術が用いられる。そのため、微細トランジスタでは耐圧低下が生じるが、高不純物濃度のドレイン領域の周辺に低濃度のドレイン領域を設けて耐圧向上を図るLDD (Lightly Doped Drain) 構造がある。また、電源電圧は外部的には5Vだが、チップ内で降圧して微細トランジスタで構成された回路部分を低電圧で動作させる構成とする。以下、これらのメモリのうち、特に大規模化に適するDRAMの構造について述べる。

【0068】図25は炭化珪素半導体素子を用いた256kビットのDRAMの平面キャパシタ形のDRAMメモリセルと、1Mビット以上の高集積DRAMでの立体形のメモリセルの基本的な構造を示す。メモリセルは、2つのn<sup>+</sup>領域(ドレインおよびソース)とゲートとからなるnMOSトランジスタと、キャパシタとから構成されている。平面形のキャパシタは、p形の炭化珪素基板と多結晶シリコンの電極との間で平面的に構成される。このキャパシタは、読出し信号を大きくするため、またソフトエラーに対する強度を向上させるため、ある一定値以上に大きくする。ソフトエラーとは、パッケージに含まれている微量のウランやトリウムから放出されるα線がメモリセルなどに入射することによって一時的に記憶情報が破壊される現象である。しかし、平面的なキャパシタで必要な容量値を得ようとするとき所要面積が大きくなり、メモリセル面積低減が困難となる。そこで、立体的構造を利用することで小面積で大容量を実現するのが立体構造のメモリセルである。トレンチ(溝形)キャパシタは、炭化珪素基板に細くかつ深く溝を掘り、溝の壁面上に絶縁体の薄膜を形成したのち溝内に多結晶シリコンを埋込んだ構造をもつものであり、溝を深くすればチップ表面の単位面積あたりの容量値を飛躍的に向上できる。一方、スタックド(積層)キャパシタは平面コンデンサをトランジスタの上方に積み上げた構造なので単位面積あたりの容量値を向上できる。これらの構造は平面形の構造に比べ複雑であるが、メモリセル面積を低減できる。

【0069】図26は炭化珪素半導体素子を用いたマイクロプロセッサの基本構成を示したもので、マイクロプログラムを格納するROMを中心に演算回路、入出力回路などで構成されている。集積度にはランダムロジック、PLA (Programmable Logic Array)ロジック、ROM/RAMなどのメモリに分けられ、規則正しい構造のデバイスからなる。更に仮想記憶といった連想メモリが取り込まれたり、用途によっては、不揮発性メモリ

やアナログデバイスも取り込まれる。処理性能も、加工寸法の微細化に伴う回路性能の向上、高集積化に伴う論理方式の工夫から高性能化を図り、32ビットのマイクロプロセッサは、3~8MIPS (Million Instructions Per Second)あるいはそれ以上の性能を有する。

【0070】本実施例においても、従来のシリコン基板に比べて約1/10以下の微細な素子ができるとともに、高耐圧が得られるものである。

【0071】(実施例12) 集積度が向上すると、二次元のデバイス構造ではLSI内部の配線やLSIの実装による遅延時間が大きくなり、デバイスの性能を十分に引き出せなくなる。このため、能動素子を2層以上に積層する三次元デバイスが必要である。炭化珪素半導体素子を用いた能動素子を3層まで積層した三次元MOSデバイスの構造を、図27に示す。図のような2枚の基板をはり合わせた構造を有する。

【0072】本実施例においても、前述と同様の製法によって高集積の半導体素子を得ることができる。それにより高微細で高耐圧が得られるものである。

【0073】

【発明の効果】本発明によれば、炭化珪素半導体素子において高耐圧のプレーナ型p-n接合が得られ、また、本発明法によるプレーナ型p-n接合の形成にはテーパ付きマスクを用いたイオン注入法が有効であり、このプレーナ接合を具備した炭化珪素半導体デバイスは高耐圧を有するものが得られる。

【図面の簡単な説明】

【図1】炭化珪素半導体プレーナ型p-n接合作成プロセスフロー図。

【図2】密着処理時間の変化によるイオン注入マスク端部の形状の変化を示す図。

【図3】密着処理時間と基板間に対する角度との関係を示す線図。

【図4】SiCおよびSiO<sub>2</sub>へのAlの射影飛程の加速電圧依存性を示す図。

【図5】SiO<sub>2</sub>を通しSiCへAlをイオン注入した際の深さ方向不純物濃度分布を示す図。

【図6】横方向散乱による接合端部の曲率形成の模式図。

【図7】密着熱処理時間とプレーナ接合の耐圧との関係を示す線図。

【図8】ショットキーダイオードの素子断面図。

【図9】静電誘導型トランジスタの素子断面図。

【図10】MOSトランジスタの素子断面図。

【図11】バイポーラパワートランジスタの素子断面図。

【図12】パワーMOSFETの断面図。

【図13】IGBTの断面図。

【図14】パワーモジュールの断面図。

【図15】バイポーラ集積回路の断面図。

**THIS PAGE BLANK (USPTO)**



【図 16】トランジスタの断面図及び平面図。

【図 17】自己整合素子の断面図。

【図 18】VTR信号系回路システム図。

【図 19】デジタル回路図。

【図 20】MOS-IC断面図。

【図 21】MOS-ICの回路図。

【図 22】Bi-CMOSデバイスの断面図。

【図 23】Bi-CMOSとCMOSの2入力NAN回路図。

【図 24】メモリセル回路図。

【図 25】DRAMメモリセルの断面図。

【図 26】マイクロプロセッサ構成図。

【図 27】三次元MOSデバイス断面図。

【符号の説明】

11…一方の導電型を有する炭化珪素半導体、12…他方の導電型を有する炭化珪素半導体、21…n型SiC基板、22…n型SiCエピタキシャル膜、23…SiO<sub>2</sub>膜、24…レジスト膜、25…イオン注入域(p型)、26…Alオーミック電極、27…Niオーミック電極、81…Auショットキー電極、91…高濃度n型炭化珪素半導体、101…ゲート電極。

【図 1】

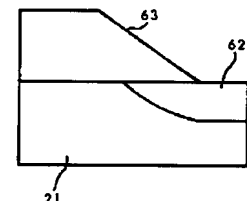
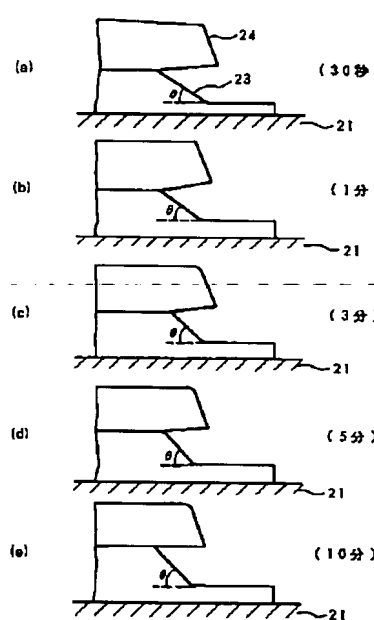
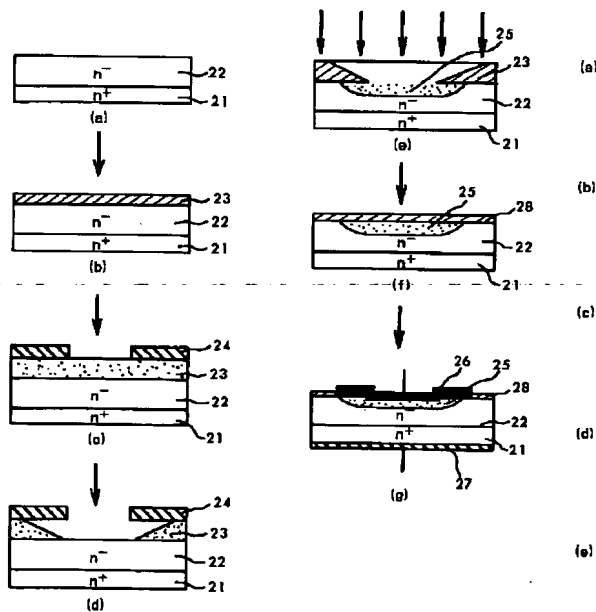
【図 2】

【図 6】

図 1

図 2

図 6



【図 4】

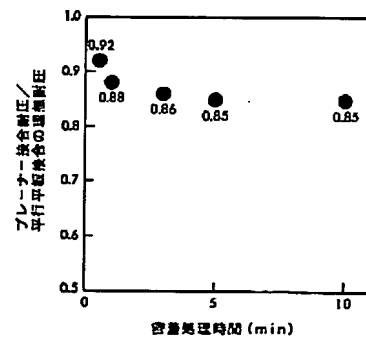
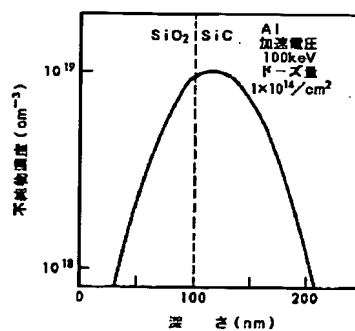
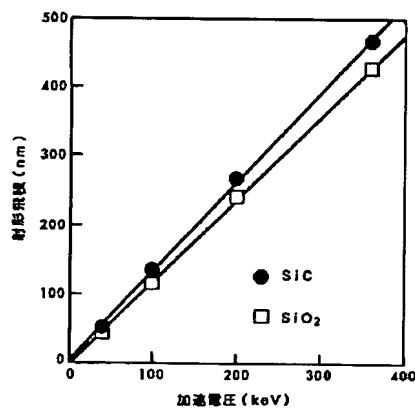
【図 5】

【図 7】

図 4

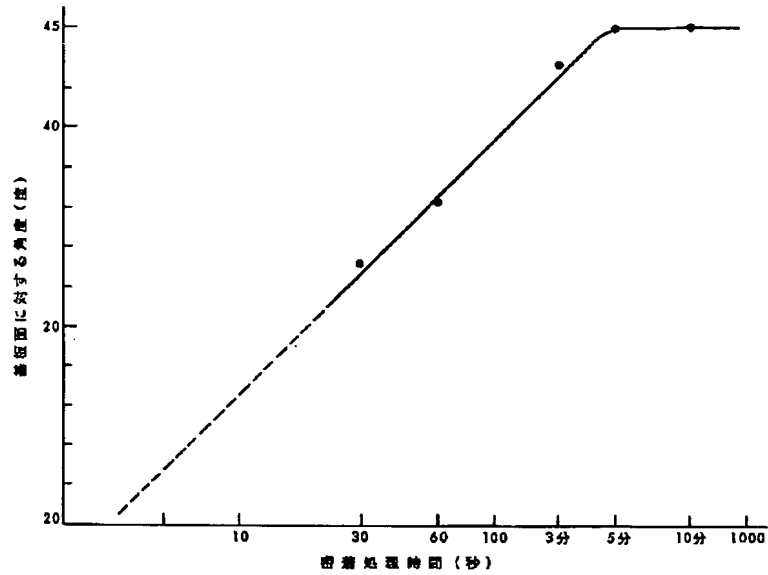
図 5

図 7

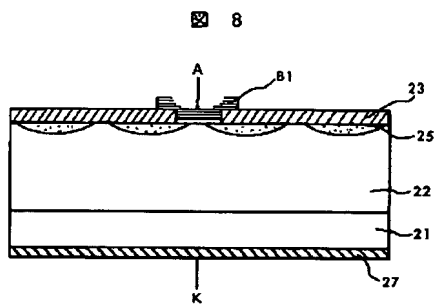


**THIS PAGE BLANK (USPTO)**

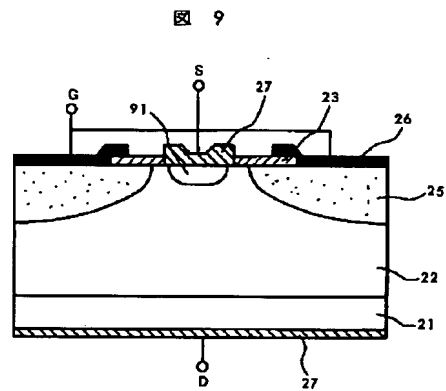
【図 3】



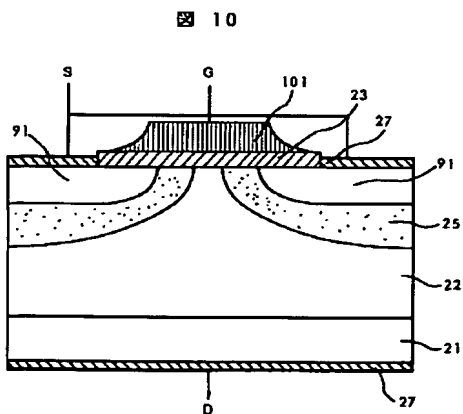
【図 8】



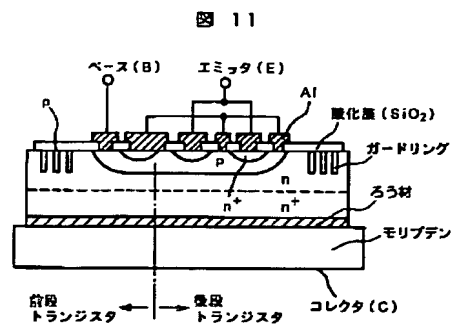
【図 9】



【図 10】



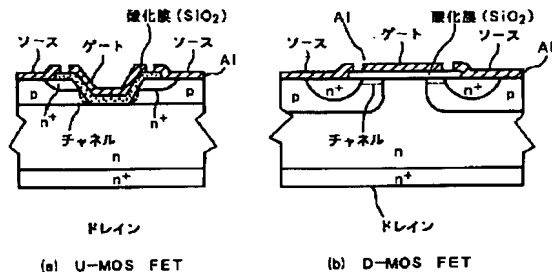
【図 11】



**THIS PAGE BLANK (USPTO)**

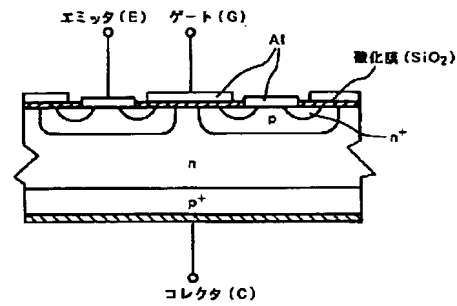
【図 12】

図 12

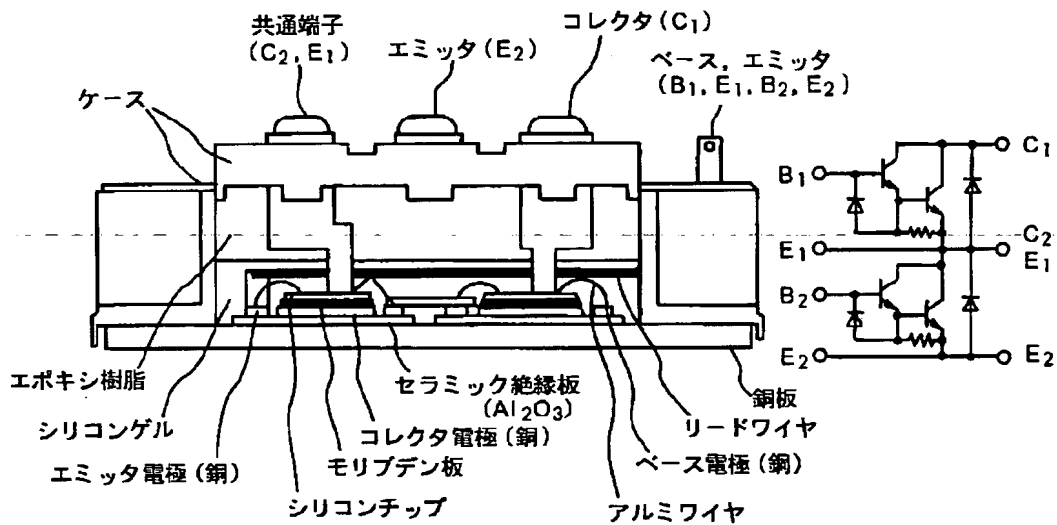


【図 13】

図 13

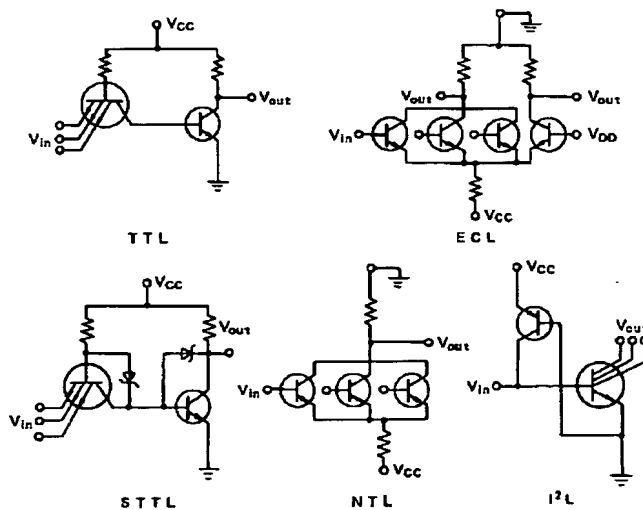


【図 14】



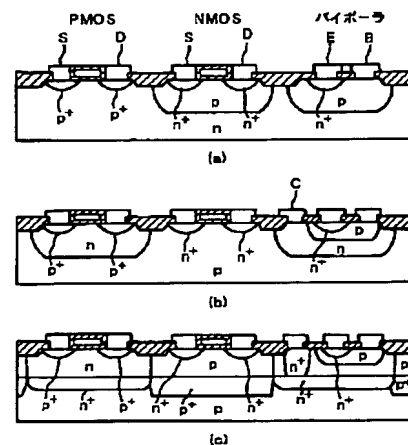
14

【図 19】



【図 22】

図 22



19

**THIS PAGE BLANK (USPTO)**

1

15

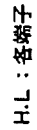


图 25

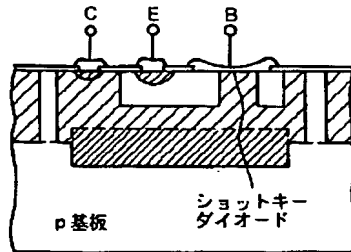
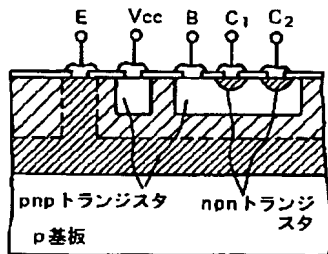
|   |   |   |
|---|---|---|
| 平面キヤパシタ形  | トレンチキヤパシタ   | スタックドキヤパシタ  |
| <p>電極 (多結晶SiC)<br/>絶縁層<br/>ゲート (多結晶SiC)<br/>Al<br/>SiO<sub>2</sub><br/>キャパシタ<br/>p基板<br/>(テータ線)</p> | <p>電極 (多結晶SiC)<br/>絶縁層<br/>ゲート (多結晶SiC)<br/>Al<br/>SiO<sub>2</sub><br/>キャパシタ<br/>p基板<br/>(テータ線)</p> | <p>電極 (多結晶SiC)<br/>絶縁層<br/>ゲート (多結晶SiC)<br/>Al<br/>SiO<sub>2</sub><br/>キャパシタ<br/>p基板<br/>(テータ線)</p> |

THIS PAGE BLANK (USPTO)



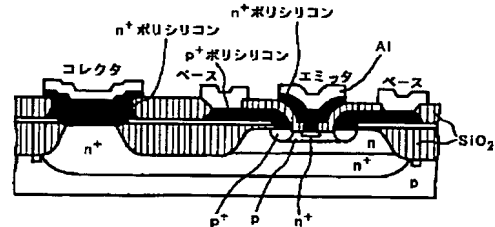
【図 16】

図 16

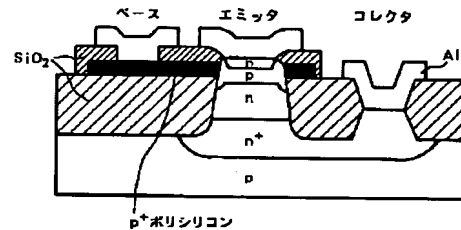
(a) ショットキーランプド  
トランジスタ(b)  $I^2L$ 

【図 17】

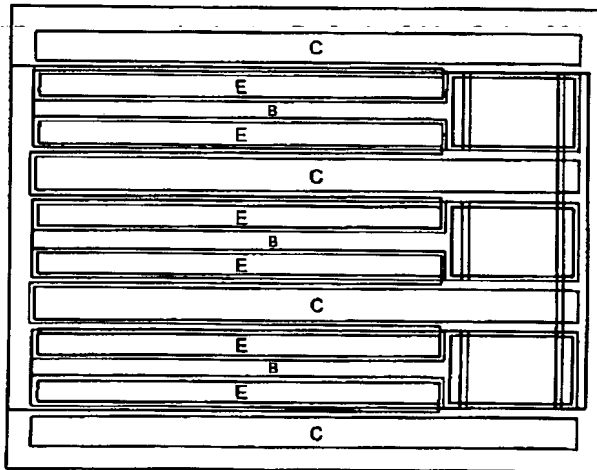
図 17



(a) SSTによる npn 形トランジスタ



(b) SiCDSによる npn トランジスタ



(c) 電力用パワートランジスタの平面パターン

□ p 形領域    ▨ n 形領域    ▩ n<sup>+</sup> 形領域  
E : エミッタ    B : ベース    C : コレクタ    Vcc : 電源端子

【図 20】

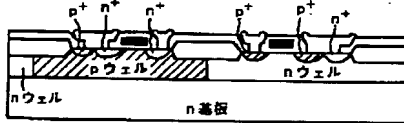
図 20



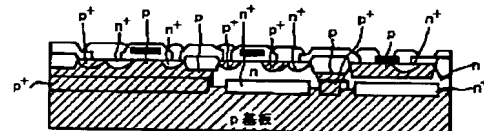
(a) PMOS. E/E 形



(b) NMOS. E/D 形



(c) CMOS



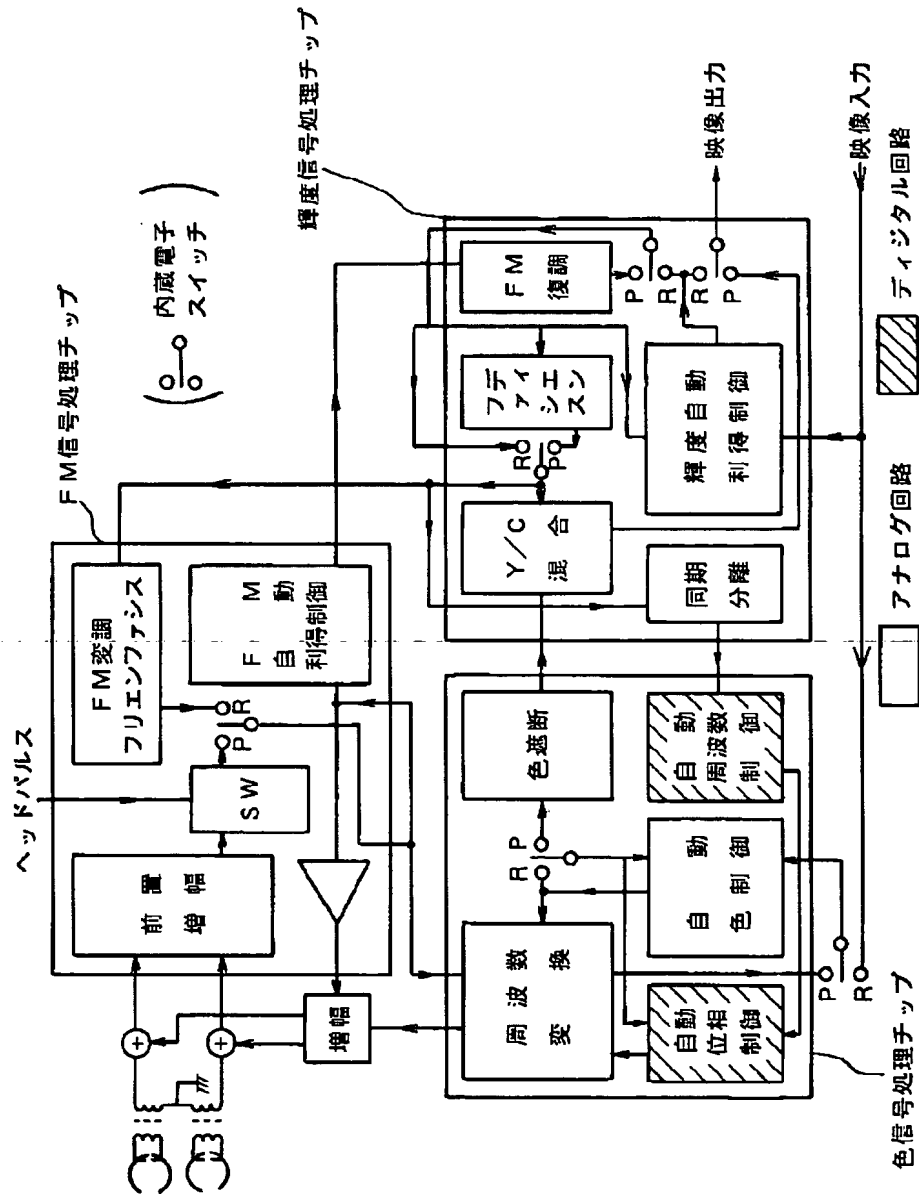
(d) Bi-CMOS

□ n 形または SiO<sub>2</sub> 領域    ▨ p 形領域  
■ ポリシリコン層    □ Al 層

THIS PAGE BLANK (USPTO)

【図 18】

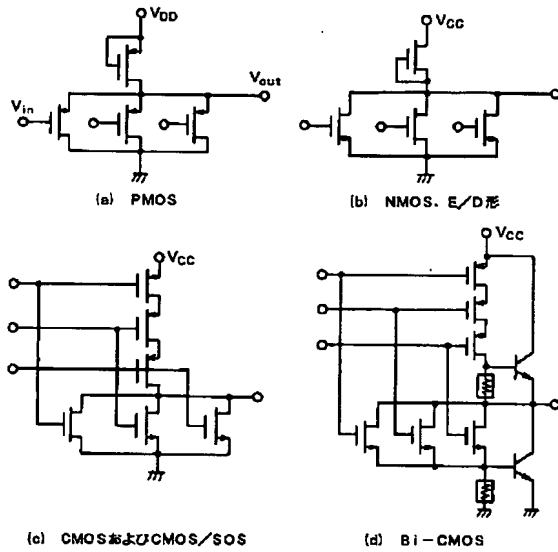
図 18



**THIS PAGE BLANK (USPTO)**

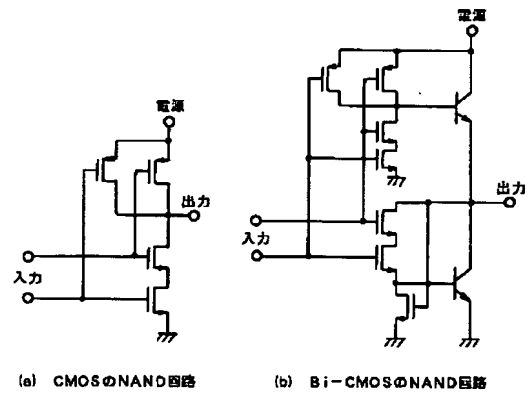
【図 21】

図 21



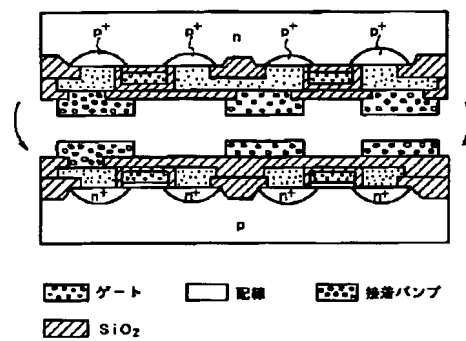
【図 23】

図 23



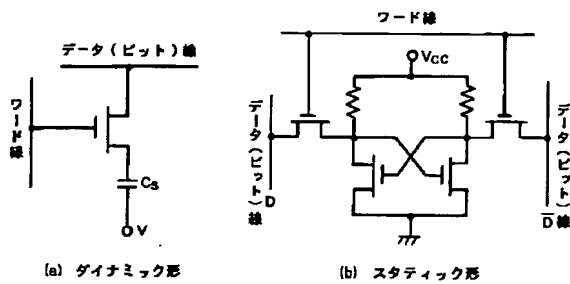
【図 27】

図 27



【図 24】

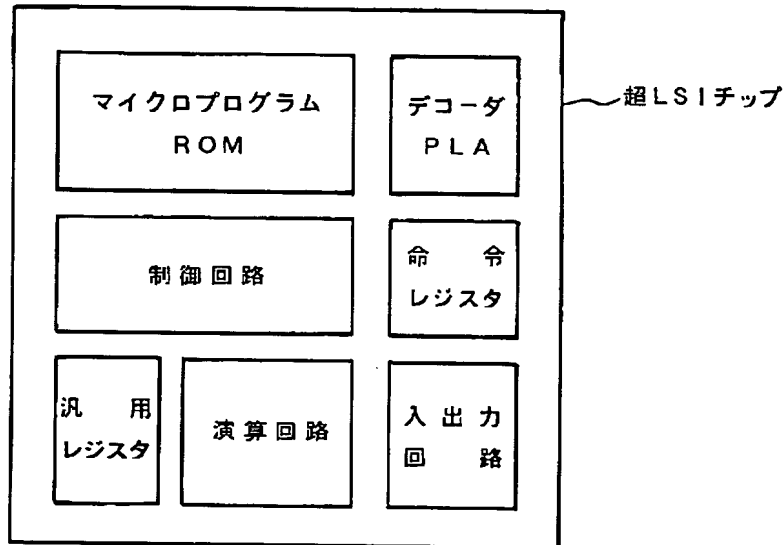
図 24



**THIS PAGE BLANK (USPTO)**

【図 26】

図 26



フロントページの続き

| (51) Int. Cl. <sup>6</sup> | 識別記号 | 庁内整理番号  | F I           | 技術表示箇所  |
|----------------------------|------|---------|---------------|---------|
| H 0 1 L 27/06              |      |         | H 0 1 L 27/08 | 1 0 1 V |
| 21/8224                    |      | 9276-4M | 27/10         | 6 0 1   |
| 27/082                     |      |         | 29/46         | F       |
| 27/108                     |      |         | 29/48         | F       |
| 21/8242                    |      |         |               | Z       |
| 29/43                      |      |         | 29/72         |         |
| 29/872                     |      |         | 29/74         | G       |
| 21/331                     |      |         | 29/78         | 3 0 1 B |
| 29/73                      |      |         | 29/91         | D       |
| 29/74                      |      |         |               |         |
| 29/78                      |      |         |               |         |
| 29/861                     |      |         |               |         |

(71) 発明者 井上 洋典  
 茨城県日立市大みか町七丁目 1 番 1 号 株  
 式会社日立製作所日立研究所内

(72) 発明者 大野 俊之  
 茨城県日立市大みか町七丁目 1 番 1 号 株  
 式会社日立製作所日立研究所内

(72) 発明者 岩崎 貴之  
 茨城県日立市大みか町七丁目 1 番 1 号 株  
 式会社日立製作所日立研究所内

THIS PAGE BLANK (USPTO)